

CLIPPEDIMAGE= JP406169069A  
PAT-NO: JP406169069A  
DOCUMENT-IDENTIFIER: JP 06169069 A  
TITLE: SEMICONDUCTOR MEMORY DEVICE AND ITS MANUFACTURE

PUBN-DATE: June 14, 1994

INVENTOR-INFORMATION:

NAME

KITA, AKIO

ASSIGNEE-INFORMATION:

NAME

OKI ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP04321644

APPL-DATE: December 1, 1992

INT-CL (IPC): H01L027/108; H01L027/04 ; H01L029/784

US-CL-CURRENT: 257/301

ABSTRACT:

PURPOSE: To provide a semiconductor memory device and its manufacturing method which are suitable for realizing the fine structure of the device by a method wherein an insulating film is buried in a substrate, a trench is formed through the insulating film, the lower part of the substrate is utilized as a cell-plate, a capacitor dielectric film and a capacitor electrode are buried inside the trench and capacitor is connected to a switching transistor above the trench.

CONSTITUTION: In a semiconductor memory device, an insulating film 102 buried in a semiconductor substrate 101, a trench 105 formed through the insulating film 102, a capacitor composed of the semiconductor substrate utilized as a plate electrode, a dielectric thin film 106 formed on the inner surface of the

trench 105 and a storage electrode 107 buried inside the trench 105 and a MIS transistor formed on a semiconductor thin layer 103 on the surface of the semiconductor substrate 101 are provided.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-169069

(43)公開日 平成6年(1994)6月14日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108 27/04 29/784	C	8427-4M  7210-4M 7210-4M	H 0 1 L 27/ 10  3 2 5 D 3 2 5 G	
審査請求 未請求 請求項の数 9 (全 6 頁) 最終頁に続く				

(21)出願番号 特願平4-321644

(22)出願日 平成4年(1992)12月1日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 北 明夫

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

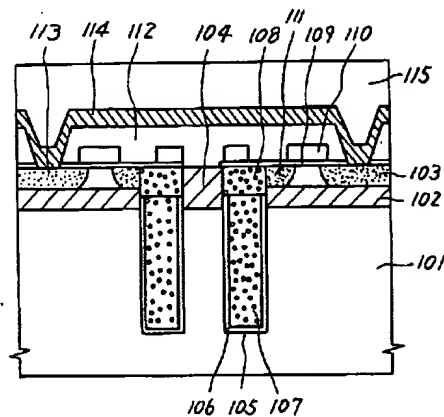
(74)代理人 弁理士 清水 守 (外2名)

(54)【発明の名称】 半導体記憶装置及びその製造方法

(57)【要約】

【目的】 絶縁膜を基板中に埋め込み、これを貫通してトレンチを開け、下部基板をセルプレートとし、トレンチ内部にキャパシタ誘電体膜、キャパシタ電極を埋め込み、トレンチ上部でスイッチングトランジスタとのコンタクトをとるようにし、微細化に適した半導体記憶装置及びその製造方法を提供する。

【構成】 半導体記憶装置において、半導体基板101中に埋め込まれた絶縁膜102と、この絶縁膜102を貫通して形成されたトレンチ105と、半導体基板101をプレート電極とし、トレンチ105内面に形成された誘電体薄膜106及びトレンチ105内に埋め込まれたストレージ電極107から構成されるキャパシタと、半導体基板101の表面の半導体薄層103に形成されたMISトランジスタとを設ける。



- |                   |                         |
|-------------------|-------------------------|
| 101: 高濃度N型Si単結晶基板 | 109: ゲート酸化膜             |
| 102: 埋め込み酸化膜      | 110: ゲート電極              |
| 104: 分離用酸化膜       | 111: N <sup>+</sup> 拡散層 |
| 105: トレンチ         | 112: 層間絶縁膜              |
| 106: キャパシタ用誘電体薄膜  | 113: コンタクトホール           |
| 108: 導体プラグ        | 114: ビットライン             |

## 【特許請求の範囲】

【請求項1】 (a) 半導体基板中に埋め込まれた絶縁膜と、(b) 前記絶縁膜を貫通して形成されたトレンチと、(c) 前記半導体基板をプレート電極とし、前記トレンチ内面に形成された誘電体薄膜及び前記トレンチ内に埋め込まれたストレージ電極から構成されるキャパシタと、(d) 前記半導体基板の表面の半導体薄層に形成されたMISトランジスタとを有することを特徴とする半導体記憶装置。

【請求項2】 請求項1記載の半導体記憶装置において、前記ストレージ電極とMISトランジスタとが前記トレンチ上部で接続されることを特徴とする半導体記憶装置。

【請求項3】 請求項1記載の半導体記憶装置において、前記半導体基板中に埋め込まれた絶縁膜の上下において導電型が異なることを特徴とする半導体記憶装置。

【請求項4】 請求項1記載の半導体記憶装置において、前記MISトランジスタのチャネル領域の不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下で、かつソース・ドレイン拡散層が埋め込み絶縁膜に達していることを特徴とする半導体記憶装置。

【請求項5】 (a) 半導体基板中に埋め込み絶縁膜を形成する工程と、(b) 前記絶縁膜を貫通してトレンチを形成する工程と、(c) 前記トレンチ内面にキャパシタ用誘電体薄膜を形成する工程と、(d) 前記トレンチ内に導電体を埋め込む工程と、(e) 前記半導体基板の表面の半導体薄層にMISトランジスタを形成する工程とを施すことを特徴とする半導体記憶装置の製造方法。

【請求項6】 請求項5記載の半導体記憶装置の製造方法において、前記トレンチ内に埋め込む導電体をトレンチの一部まで埋め込んだ後、第2の導電体によりトレンチを埋め込みキャパシタと半導体基板の表面の半導体薄層との電気的接続をとることを特徴とする半導体記憶装置の製造方法。

【請求項7】 請求項5記載の半導体記憶装置の製造方法において、2枚の半導体基板のいずれかあるいは両方に絶縁膜を形成した後、貼り合わせ、片側の基板を薄膜化して埋め込み絶縁膜を形成することを特徴とする半導体記憶装置の製造方法。

【請求項8】 請求項7記載の半導体記憶装置の製造方法において、2枚の半導体基板が反対の導電型で薄膜化されない方が高濃度、薄膜化される方が低濃度であることを特徴とする半導体記憶装置の製造方法。

【請求項9】 請求項5記載の半導体記憶装置の製造方法において、前記半導体基板の表面の半導体薄層の不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下で、かつMISトランジスタのソース・ドレイン高濃度拡散層が埋め込み絶縁膜に到達するように形成することを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、高密度半導体記憶装置、特に、MIS (Metal Insulator Semiconductor) ダイナミックランダムアクセスメモリ装置 (以下、単にDRAMと略す) 及びその製造方法に関するものである。

## 【0002】

【従来の技術】従来、この種の装置としては、例えば、特開昭60-225462号公報に開示されるものがあった。図6はかかる従来のDRAMの一構成例を示す断面図である。この図に示すように、シリコン基板1にトレンチ2が形成されており、その中にキャパシタ電極5、誘電体膜6及びプレート電極7から構成されるキャパシタが形成されている。このキャパシタと基板とは酸化膜3で分離されている。

【0003】キャパシタに隣接して、拡散層10、11、ゲート酸化膜8及びゲート電極9から構成されるスイッチングトランジスタが形成されており、キャパシタ電極5とスイッチングトランジスタの片方の拡散層10はコンタクト部4において電気的に接続されている。また、スイッチングトランジスタの他方の拡散層11にはコンタクトホール13を介してビットライン14が接続されている。スイッチングトランジスタのゲート電極は断面に垂直方向に延在し、ワードラインとしても機能する。最後に、パッシベーション膜15を形成する。なお、12は層間絶縁膜である。

## 【0004】

【発明が解決しようとする課題】しかしながら、上記した従来のDRAMでは次のような欠点があった。

① トレンチの中に分離用酸化膜、キャパシタ電極を形成しているため、キャパシタとして利用できる実効トレンチ内表面積が減少してしまう。例えば、直径 $0.6 \mu\text{m}$ のトレンチを開孔したとしても、 $100 \text{ nm}$ の酸化膜、キャパシタ電極を用いると、キャパシタの実効内径は $0.2 \mu\text{m}$ にしかない。このため、微細化していくと、DRAMのセルとして必要な静電容量が得られなくなる。

【0005】② キャパシタとスイッチングトランジスタのコンタクトを両者の間に平面的に設けているので縮小の妨げとなる。コンタクトとゲート電極との合わせ余裕も必要であり、同様に縮小の妨げとなる。

③ トレンチ側壁部にできる寄生MOS構造のため、ストレージノード基板間にリーク電流が発生し、メモリセルの情報破壊が起こる。

【0006】本発明は、以上述べた問題点を除去するため、絶縁膜を基板中に埋め込み、これを貫通してトレンチを開け、下部基板をセルプレートとし、トレンチ内部にキャパシタ誘電体膜、キャパシタ電極を埋め込み、トレンチ上部でスイッチングトランジスタとのコンタクトをとるようにし、微細化に適した半導体記憶装置及びそ

の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は、上記目的を達成するために、

〔A〕半導体記憶装置において、半導体基板中に埋め込まれた絶縁膜と、前記絶縁膜を貫通して形成されたトレンチと、前記半導体基板をプレート電極とし、前記トレンチ内面に形成された誘電体薄膜及び前記トレンチ内に埋め込まれたストレージ電極から構成されるキャパシタと、前記半導体基板の表面の半導体薄層に形成されたM

ISTランジスタとを設けるようにしたものである。  
【0008】〔B〕半導体記憶装置の製造方法において、半導体基板中に埋め込み絶縁膜を形成する工程と、前記絶縁膜を貫通してトレンチを形成する工程と、前記トレンチ内面にキャパシタ用誘電体薄膜を形成する工程と、前記トレンチ内に導電体を埋め込む工程と、前記半導体基板の表面の半導体薄層にMISTランジスタを形成する工程とを施すようにしたものである。

【0009】

【作用】本発明によれば、上記したように、1トランジスタ、1キャパシタ型MIS半導体記憶装置において、絶縁膜を埋め込んだ半導体基板に、この絶縁膜を貫通するトレンチを設け、その内面にキャパシタ絶縁膜とストレージ電極を埋め込み、半導体基板をセルプレートとして用い、更に半導体基板の表面の半導体薄膜にスイッチングトランジスタを形成するようにしたものである。

【0010】したがって、トレンチ間隔を近づけても隣接セル間リークが発生せず、高密度化が可能となる。同様に、ストレージ電極がトレンチ内側にあるので、基板に入射した $\alpha$ 粒子によって発生する電荷が流入せず、ソフトエラー耐性が向上する。また、セルプレート電極として従来必要であった導体層が不要となり、工程の簡略化、高密度化を図ることができる。

【0011】

【実施例】以下、本発明の実施例について図面を参照しながら詳細に説明する。図1は本発明の実施例を示す半導体記憶装置（メモリセル）の平面図、図2は図1のA-A線断面図である。これらの図に示すように、比抵抗 $0.01\Omega\cdot\text{cm}$ 程度の高濃度N型シリコン単結晶基板101上には、埋め込み酸化膜102、低濃度P型シリコン単結晶薄層103が形成される。これら低濃度P型単結晶薄層103、埋め込み酸化膜102を貫通し、高濃度N型シリコン単結晶基板101内へとトレンチ105が形成されている。トレンチ105の内壁にはキャパシタ用誘電体薄膜106が形成されていて、更にその内側にはストレージノード電極107が埋め込まれている。

【0012】キャパシタのプレート電極としては、一定の電位、例えばビットライン振幅の半分の電位に設定された高濃度N型シリコン単結晶基板101が機能する。

表面の単結晶層にはゲート酸化膜109、ゲート電極110及びN<sup>+</sup>拡散層111から構成されるスイッチングMISTランジスタが形成されている。このMISTランジスタの片方のN<sup>+</sup>拡散層111は、トレンチ105の上部に埋め込まれた導体プラグ108を介して、キャパシタのストレージノード電極107と接続されている。また、前記MISTランジスタの他方のN<sup>+</sup>拡散層111は、層間絶縁膜112に開孔されたコンタクトホール113を介して、ビットライン114に接続されている。隣接セル間には分離用酸化膜104により絶縁分離されている。最上層にはパッシベーション膜115が形成されている。

【0013】MISTランジスタのゲート電極110はワードラインをも兼ね、断面の垂直方向の他のセル上にも延在している。任意の一本のワードラインがメモリセルアレイ周辺に設けられたデコーダによって選択されると、そのワードラインがハイレベルになりMISTランジスタを導通状態にし、ビットラインの情報がキャパシタに書き込まれる。また、逆にキャパシタの情報がビットラインに読み出される。ワードラインが非選択の時には、ワードラインはローレベルであり、トランジスタは非導通状態でキャパシタの情報は保持される。

【0014】次に、上述した実施例の半導体記憶装置（メモリセル）の製造方法について、図3乃至図5を用いて説明する。

（1）まず、図3（a）に示すように、不純物濃度 $5\times 10^{14}\text{cm}^{-3}$ 程度の低濃度P型（100）シリコン単結晶151に熱酸化膜102を500nm程度つけ、この酸化膜102の面と、別に用意した鏡面研磨された比抵抗 $0.01\Omega\cdot\text{cm}$ 程度の高濃度N型シリコン単結晶基板101を密着させ、1100℃程度のアニールを加え、ファンデアワールス力により接着させる。

【0015】（2）次いで、P型（100）シリコン単結晶151側を機械研磨により削り、図3（b）に示すように、最終的な低濃度P型単結晶薄層103の厚みを250nm程度に仕上げる。

（3）隣接セル間の分離用酸化膜104を選択酸化法により形成し、50nm程度の酸化膜152、20nm程度の窒化シリコン膜153、500nm程度の酸化膜154を順次形成した後、ホトレジスト155をホトリソグラフィ技術によりパターンニングする。ホトレジストパターンをマスクにして、図3（c）に示すように、酸化膜154、窒化シリコン膜153、酸化膜152、低濃度P型単結晶薄層103、酸化膜102をドライエッチングにより、順次エッチングする。

【0016】（4）次いで、レジストを除去した後、酸化膜154をマスクにして、シリコン単結晶基板101にトレンチ105を形成する。トレンチ105の深さはトレンチ開孔周面長キャパシタ誘電体の誘電率と膜厚及び必要容量によって決定されるが、例えば、256Mビ

ットDRAMへの適用を考え、トレンチ開孔径0.3 $\mu$ m、酸化膜換算で5nmの窒化膜を用い、25fFの容量が必要な場合、深さは約4 $\mu$ mとなる。次に、トレンチ105を形成後、マスクとして用いた酸化膜154を窒化シリコン膜153をストッパ膜として除去し、更に、図4(a)に示すように、不要となったストッパ膜としての窒化シリコン膜153も除去する。

【0017】(5) 続いて、図4(b)に示すように、キャパシタ用誘電体膜106として窒化シリコン膜をCVD法により堆積し、リンを高濃度に含んだ多結晶シリコン156を全面に堆積してトレンチ105を完全に埋め込む。

(6) 次に、図4(c)に示すように、全面ドライエッチングにより、トレンチ105内のみに多結晶シリコンを残し、キャパシタのストレージ電極107を形成する。このとき酸化膜152がエッチングストッパとして働くとともに、窒化シリコン膜153のストレージ電極形成部分以外もエッチングされる。また、ストレージ電極の上部は埋め込み酸化膜102の中程の部分にくるようにコントロールする。

【0018】(7) 更に、全面に多結晶シリコン108を堆積し、同様な方法により、全面エッチングを行いトレンチ上部を埋め込み、ストレージ電極と低濃度P型単結晶薄層103とを接続する。その後、図5(a)に示すように、不要になったストッパとしての酸化膜152を除去する。以上の工程で、キャパシタがトレンチに完全に埋め込まれた形で作られる。

【0019】(8) 続いて、図5(b)に示すように、スイッチングトランジスタを低濃度P型単結晶薄層103上に形成していく。すなわち、熱酸化により、膜厚10nm程度のゲート酸化膜109を形成し、その上にゲート電極110となるリンを高濃度にドーパした多結晶シリコンを堆積、パターンニングする。ゲート電極110をマスクにして、ヒ素をイオン注入してN<sup>+</sup>拡散層111を形成する。イオン注入した不純物の活性化アニールを行った後、拡散層が埋め込み酸化膜に達するようになる。

【0020】(9) 続いて、図5(c)に示すように、層間絶縁膜112として、BPSG(ボロ・フォスフォ・シリケート・ガラス)などの膜を堆積し、リフローを行い平坦化を行った後、ビットラインとの接続をとるためのコンタクトホール113を開孔する。以降、図示は省略するがビットラインをポリサイド等で形成し、メモリセルの主要工程を終了する。

【0021】必要であれば、アルミ等のメタル配線工程を付加し、最後にパッシベーション膜をつけ、半導体記憶装置の製造工程を終了する。なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

## 【0022】

【発明の効果】以上詳細に説明したように、本発明によれば、次のような効果を奏することができる。第1に、(1) 高濃度基板をセルフプレート電極とし、トレンチ内にストレージ電極を入れるようにしたので、トレンチ間隔を近づけても隣接セル間リークが発生せず、高密度化が可能となる。

【0023】(2) 同様に、ストレージ電極がトレンチ内側にあるので、基板に入射した $\alpha$ 粒子によって発生する電荷が流入せず、ソフトエラー耐性が向上する。

(3) また、セルフプレート電極として従来必要であった導体層が不要となり、工程の簡略化、高密度化を図ることができる。

(4) 更に、トレンチ内に直接キャパシタ誘電体膜が形成されているので、トレンチ内表面積を最大に利用でき、大きな静電容量を得ることができる。

## 【0024】第2に、

(1) キャパシタのストレージ電極とスイッチングトランジスタとの接続をキャパシタを形成したトレンチ上部に埋め込んだ多結晶シリコンによってとっているため、コンタクトホールを別途設ける必要がなく、工程の簡略化を図ることができる。

【0025】(2) 更に、コンタクトホールを設けるスペース及びコンタクトホールと他の電極との合わせ余裕が不要になり、高密度化を図ることができる。

## 第3に、

(1) 埋め込み酸化膜上の薄シリコン単結晶層内にスイッチングトランジスタを形成しているため、完全空乏型のMISトランジスタとすることができ、サブスレッショルド特性を大幅に改善でき、低い閾値電圧で良好なオフ特性が得られる。すなわち、キャパシタへの書き込み電圧を大きくでき、かつデータ保持時間を長くすることができ、高品質化を図ることができる。

【0026】(2) 更に、基板に入射した $\alpha$ 粒子によって発生する電荷が埋め込み酸化膜でブロックされるので、ソフトエラーに対して極めて耐性が高くなる。

## 【図面の簡単な説明】

【図1】本発明の実施例を示す半導体記憶装置(メモリセル)の平面図である。

【図2】図1は図1のA-A線断面図である。

【図3】本発明の実施例を示す半導体記憶装置(メモリセル)の製造工程断面(その1)図である。

【図4】本発明の実施例を示す半導体記憶装置(メモリセル)の製造工程断面(その2)図である。

【図5】本発明の実施例を示す半導体記憶装置(メモリセル)の製造工程断面(その3)図である。

【図6】従来のDRAMの一構成例を示す断面図である。

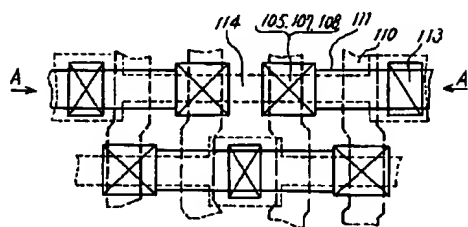
## 【符号の説明】

50 101 高濃度N型シリコン単結晶基板

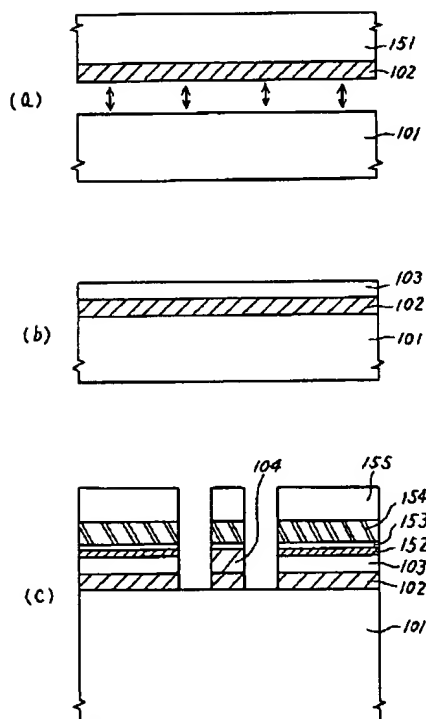
7

- 102 埋め込み酸化膜
- 103 低濃度P型シリコン単結晶薄層
- 104 分離用酸化膜
- 105 トレンチ
- 106 キャパシタ用誘電体薄膜
- 107 ストレージノード電極
- 108 導体プラグ

【図1】



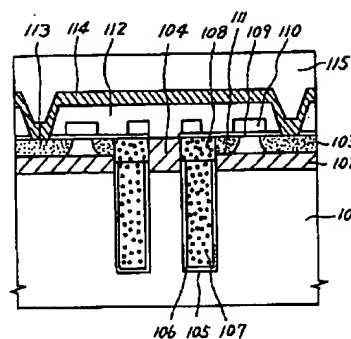
【図3】



8

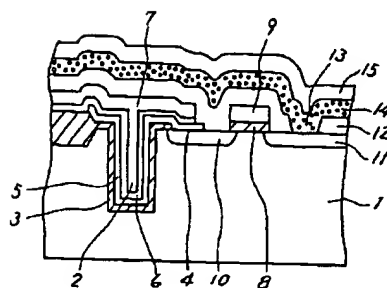
- 109 ゲート酸化膜
- 110 ゲート電極
- 111 N<sup>+</sup>拡散層
- 112 層間絶縁膜
- 113 コンタクトホール
- 114 ビットライン
- 115 パッシベーション膜

【図2】

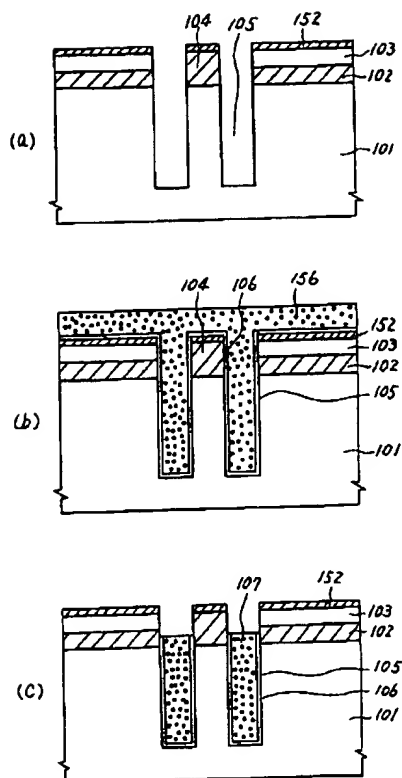


- 101: 高濃度N型Si単結晶基板
- 102: 埋め込み酸化膜
- 104: 分離用酸化膜
- 105: トレンチ
- 106: キャパシタ用誘電体薄膜
- 108: 導体プラグ
- 109: ゲート酸化膜
- 110: ゲート電極
- 111: N<sup>+</sup>拡散層
- 112: 層間絶縁膜
- 113: コンタクトホール
- 114: ビットライン

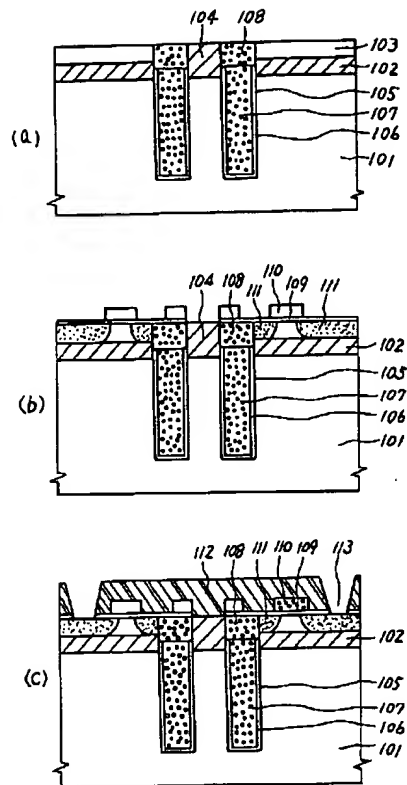
【図6】



【図4】



【図5】



フロントページの続き

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号  
9056-4M

F I

H 0 1 L 29/78

技術表示箇所

3 1 1 C